

PAT-NO: JP02000111601A
DOCUMENT-IDENTIFIER: JP 2000111601 A
TITLE: CONNECTABILITY TESTING SYSTEM

PUBN-DATE: April 21, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
MILLER, JOHN	N/A
RICHARD, OTIS	N/A
CHENMIN, ZAN	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HEWLETT PACKARD CO	N/A

APPL-NO: JP11241929
APPL-DATE: August 27, 1999

PRIORITY-DATA: 98141957 (August 28, 1998)

INT-CL (IPC): G01 R 031/02 , G01 R 031/28

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a technology for testing connectability of bidirectional pads in a component or a chip of an integrated circuit.

SOLUTION: A component or a chip 100 of an integrated circuit has bidirectional pads 110A to 110C, 111A to 111C and the core logical part 101. These bidirectional pads 110A to 110C, 111A to 111C can process a signal received from the outside of the chip 100 by the core logical part 101, and sends out a signal generated by the core logical part 101 from the chip 100. The bidirectional pads 110A to 110C, 111A to 111C are constituted so as to make a pair like the bidirectional pads 110A and 111A. The bidirectional pads 110A to 111C, 111A to 111C are also respectively connected to a test logical element 120 through a signal passage 121.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-111601
(P2000-111601A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 1 R 31/02		G 0 1 R 31/02	
31/28		31/28	U
			G

審査請求 未請求 請求項の数1 O L (全 12 頁)

(21)出願番号 特願平11-241929
(22)出願日 平成11年8月27日(1999.8.27)
(31)優先権主張番号 09/141957
(32)優先日 平成10年8月28日(1998.8.28)
(33)優先権主張国 米国 (US)

(71)出願人 398038580
ヒューレット・パカード・カンパニー
HEWLETT-PACKARD COM
PANY
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000
(72)発明者 ジョン・ミラー
アメリカ合衆国 カリフォルニア州, ロッ
クリン, ダーラム・コート 4718
(74)代理人 100073874
弁理士 萩野 平 (外4名)

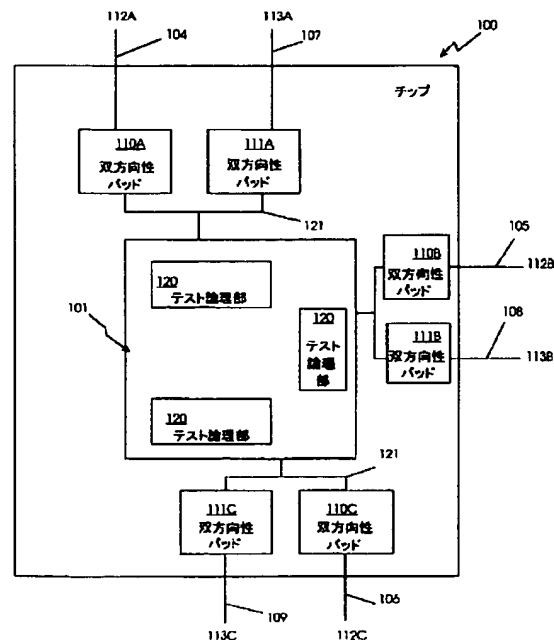
最終頁に続く

(54)【発明の名称】 接続性テストシステム

(57)【要約】

【課題】 集積回路のコンポーネントまたはチップにおける双方向性パッドの接続性をテストするための技術を提供すること。

【解決手段】 集積回路のコンポーネントまたはチップ100は、双方向性の双方向性パッド110A~110C、111A~111Cと、コア論理部101とを有している。これらの双方向性パッド110A~110C、111A~111Cは、チップ100外から受信した信号をコア論理部101によって処理可能であり、コア論理部101によって発生した信号をチップ100から送り出す。また、双方向性パッド110A~110C、111A~111Cは、双方向性パッド110Aおよび111Aのように対をなすように構成されている。さらに、双方向性パッド110A~110C、111A~111Cは、それぞれ信号経路121を介してテスト論理要素120に接続されている。



【特許請求の範囲】

【請求項1】 チップのパッドの接続性をテストする接続性テストシステムであって、パッド対として指定されている複数のパッドと、第1の入力および第1の出力を有するパッド対の第1のパッドに関連した第1のテスト論理部と、第2の入力および第2の出力を備えたパッド対の第2のパッドに関連した第2のテスト論理部と、を備え、前記第1の入力が前記第2の出力に結合され、前記第2の入力が前記第1の出力に結合されることを特徴とする接続性テストシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリント回路基板に実装されたコンポーネントを含む電子アセンブリのテストに係り、特に、コンポーネントに設けられたパッドの入力/出力テストに関する。

【0002】

【従来の技術】超大規模集積（VLSI）回路テクノロジーは、高性能および小サイズ化の要求によってますます回路が複雑さを増していくことにより、急速に変化している。VLSIを製造する全てのレベルでの製造テスト技術の改良についての重要度は、より新しいテクノロジー、より高い生産歩留まり要求、および市販されるまでのより厳しいタイムスケジュールのために増大している。バウンダリスキャンテスト（boundary scan testing）方法は、当該従来技術において周知のところである。バウンダリスキャンテストは、一般に、順序回路テストの生成問題（generation problem）を組み合わせた回路のテスト生成問題にマッピングして用いられている。しかしながら、回路は、分離型または組み込み型のスキャンまたはシャドーレジスタを含む走査経路テストハードウェアを有するように、予め設計されなければならない。

【0003】典型的な例の場合、メモリカードには、ランダムアクセスメモリによって構成されるいくつかの集積回路（IC）チップが配置されている。ランダムアクセスメモリは、一般に、ダイナミック・ランダムアクセスメモリ（DRAM）またはスタティック・ランダムアクセスメモリ（SRAM）である。DRAMおよびSRAMは、当該技術において周知のように、両方とも揮発性メモリの一種である。DRAMおよびSRAMは、ハードドライブのような不揮発性メモリデバイスと比べてアクセス時間が比較的速い。

【0004】メモリチップが配置されたメモリカードは、メモリカードのプリント回路基板の所定位置にチップがハンダ付けされる場合が多い。ハンダ付けプロセスの最中に、集積回路チップが損傷を被る可能性がある。また、ハンダ付け接続箇所欠陥があるかもしれない。ハンダ付け接続箇所の欠陥には、基本的に2つのタイプ

がある。第1のタイプの場合として、オープン状態では、ICチップのピンからプリント回路基板への電気的接続が行えない。第2のタイプとしてハンダ欠陥等の場合により生じるショート状態では、2つ以上のピンが互いに電気的に接続されてしまう。ICが損傷を受けるか、ハンダ欠陥が生じると、メモリカードは適正に機能しなくなる。したがって、ICの各ピンからプリント回路基板への電気的接続性をテストすることが望ましい。こうしたテストは、ICのピンがICとメモリカードのインターフェイスが行われる回路との境界を形成するので、一般に、バウンダリスキャンテストと呼ばれている。

【0005】チップ製造の他の段階におけるチップのテストも重要である。例えば、チップに対するチップパターンの形成後、およびウェーハからのチップの切断後に、チップの個々のコンポーネントの接続性をテストすることは重要である。これらの場合、バウンダリスキャンテストを実施して、接続性をテストすることも可能である。

【0006】例えば、DRAMおよびSRAMの場合、当該従来技術において周知のプログラマブルテスターおよびテスト方法を利用して、バウンダリスキャンを素早く実施することが可能である。典型的なバウンダリスキャンテストにおいては、テスト装置にメモリカード等のメモリ装置が挿入される。テスト装置は、メモリ装置を構成する全てのメモリ素子を0または1の状態にセットする。次に、テスターは、メモリ装置の問題となる領域を選択して、該領域にパターンを書き込む。次に、テスターは、問題となる領域を読み取り、書き込まれたパターンと読み取られたパターンとの比較を行う。書き込まれたパターンが読み取られたパターンと一致しない場合、第1のタイプの欠陥が見つかったことになる。次に、テスターは、そのメモリ装置および他のメモリ装置の他の全領域を読み取り、これらの領域の既知状態が変化したか否かを確認する。既知状態に変化があれば第2のタイプの欠陥が見つかったことになる。次に、テスターは、問題となる領域に別のパターンを書き込む。一般に、第1のパターンはチェッカーボードパターン（例えば、010101...）になり、第2のパターンは相補チェッカーボードパターン（例えば、101010...）になる。次に、第2のパターンをリードバック（read back）して比較を行い、第2のパターンが適正に記憶されたか否かが確認される。そのメモリ装置および他のメモリ装置の他の全領域をもう一度検査して、第2のパターンの記憶によって、これらの領域の既知状態に変化がなかったことが確認される。第1のチップの問題となる第1の領域に対してテストされると、問題となる新たな領域の選択を行い、第1のチップ全体のテストが済むまで上述のテストプロセスが繰り返される。そして、他のチップもそれぞれ同様のテストを受けることになる。

【0007】メモリ装置のバウンダリスキャンを実施する他の方法では、接続テストアクセスグループ(JTAG)バウンダリスキャンピンおよび回路要素を各チップに追加する。JTAGバウンダリスキャンは、当該従来技術において周知である。JTAGバウンダリスキャンにおいては、テスト回路要素および予備のJTAGピンが各チップに追加される。次に、各チップのJTAGピンが直列に接続され、一連のコマンドがJTAGピンを介して基板上のチップのテスト回路要素に送られ、データのリードバックが行われ、内部接続が適正に実施されたか否かの確認が行われる。なお、JTAGバウンダリスキャンの詳細については、IEEE 1149.1規格(IEEE Press, 1992)において知ることが可能である。

【0008】JTAGテストを含むバウンダリスキャンテストがうまく機能すれば集積回路の全体的な接続性が判定されるが、このテスト方法は、チップ製造プロセス中に適用することができない。チップの接続性のテストは、例えば、VLSI回路に組み込む前に、欠陥を有する可能性のあるチップを識別するために重要である。さらに、チップ製造中は、単純かつ迅速に実行されるチップテスト方法が望まれる。また、この方法は、チップに複雑なテスト論理部を追加する必要のないことが望ましい。

【0009】

【発明が解決しようとする課題】本発明は、集積回路のコンポーネントまたはチップにおける双方向性パッドの接続性をテストするための技術を提供することを目的としている。

【0010】

【課題を解決するための手段】チップは、多くのピンまたは脚を備えることが可能であり、各ピンまたは脚には関連パッドがある。今日では、単一方向性パッドとは対照的に、双方向性パッドを備えたチップおよびコンポーネントの製造がますます多くなっている。したがって、チップ上には多くの双方向性パッドが設けられており、チップ製造および回路基板の組立中に、これらのパッドのそれぞれをテストすることが可能である。

【0011】一般に、双方向性パッドは、入力パッドまたは出力パッドのいずれかになるように構成するか、振り当てることが可能である。以下に説明するテスト方法は、さまざまなコンポーネント、ピンおよびパッドに利用可能であるが、複数の双方向性パッドのテストにとっても理想的なものである。すなわち、該テスト方法は、隣接する双方向性パッドを利用してテストを実施する双方向性パッドのテストにとって理想的なものである。テストを受ける双方向性パッドのそれぞれは、隣接する双方向性パッドと対をなし、デジタル論理コンポーネントによって隣接する双方向性パッドと接続される。このようにして、パッドの1つ、すなわち入力パッドまたは受

信パッドに信号を与えて、出力パッドの動きをする接続された隣接パッドに転送することが可能になる。次に、もう1つのパッド、すなわち出力パッドからの出力として信号を読み取り、テストまたは検知することが可能になる。

【0012】チップの双方向性パッドは、対をなすようにグループ化され、「ODD」および「EVEN」双方向性パッドとして分類することが可能である。チップのコア論理部として有することが可能な出力許可回路(output enable circuit)によって、パッドが通常モードまたはテストモードのいずれで動作することになるかが判定される。

【0013】チップをテストするため、テスト信号がチップの接続部に与えられる。テスト信号は、例えば、チップテスターまたは同様の装置によって与えられる。こうしたチップテスターは、当該技術分野において周知である。チップテスターはチップに結合されており、EVENモードまたはODDモードのいずれかでチップのテストを行うようにプログラム可能である。例えば、所望のテスト信号および予測される出力信号は、チップテスターにプログラム可能である。チップテスターによって必要なテスト信号が生じ、結果の読み出しが可能になる。結果として生じる出力信号に関連したデータは、例えば、標準的なコンピュータによるプリントアウトによって記録可能である。そのデータは、双方向性パッドのどちらによって予測された出力かを表示し、どちらによって予測された出力が生じなかったかを表示する。欠陥のあるチップは廃棄することができ、また、テスト結果を診断ツールとして利用して、問題が製造プロセスにあるか否かを判定することも可能である。

【0014】出力許可回路からの出力許可信号が"LOW"にセットされると、双方向性パッドはテストモードになり、例えば、ODD双方向性パッドに供給される入力信号がEVEN双方向性パッドに転送される。したがって、この信号は、入力パッドから出力パッドへのパッド接続性を検査する信号をなす。したがって、チップの各双方向性パッドは、入力方向と出力方向の両方で検査することができる。

【0015】一般に、デジタル信号は、ピンまたはパッドのテストに利用されるが、1または0のデジタル信号が"H(High)"または"L"になる。新規な方法の場合、2つの隣接パッドがある問題のために互いに短絡しないことを保証するため、入力パッドで受信する信号が、例えば1から0に反転または変更されて、その後、出力パッドに転送される。これは、例えばインバータを利用して実施することができる。

【0016】ある実施形態では、隣接パッドを接続するデジタル論理コンポーネントまたはテスト論理コンポーネントは、ORゲート、ANDゲート、2つのインバータおよびマルチプレクサである。

【0017】テスト論理部によって接続される1対の隣接した双方向性パッドをテストするため、1すなわち“H”を示すデジタル信号が、パッドの一方、すなわちテストのための入力パッドに供給される。入力パッドが1を受信した後、テスト論理部は、デジタル信号を1から0に反転または変更し、接続されている隣接した出力パッドにデジタル信号(0)を送る。出力パッドは、デジタル信号(0)をその出力として送り出す。次に、0の出力信号を読み取って供給されたデジタル信号入力(1)と比較し、パッドがテストに合格したか否かの判定が行われる。

【0018】各双方向性パッドは、文字どおり、入力パッドまたは出力パッドの働きをすることができ、各パッドは、入力パッドの働きをしている間に1度と、出力パッドの働きをしている間に1度の、2度にわたってテストすることが可能である。この双方向性テストを実施するため、各パッドの役割が逆転する。すなわち、出力パッドが入力パッドになり、入力パッドが出力パッドになる。各テスト前に、テスト論理部が、各パッドを入力パッドまたは出力パッドとしての役割を設定し、構成し、または通知する。

【0019】1対の隣接した双方向性パッドについてテスト手順の説明を行うが、例えば、複数のパッドの場合、各パッド対の一方のパッドは入力パッドとして構成され、もう一方のパッドは出力パッドとして構成される。テスト信号が入力パッドに送られ、返送信号が出力パッドから読み取られる。テストの第2部分ではパッドの役割が逆転する。これらのテストは、EVENテストおよびODDテストとして定義される。

【0020】このテスト構成の利点は、接続性のテストを容易かつ迅速に実施し、同時に、チップに配置する必要のある予備ゲート数を最小限に抑えることができる点にある。テストは、ウェーハ上でのチップの形成、ウェーハからのチップの切断、チップのパッケージング、およびプリント回路基板へのチップの実装を含む、チップ製造プロセスの任意の段階において完了可能である。テストは、チップを含むデバイスの動作中の任意の時点に実施することも可能である。したがって、障害分析を補助する診断ツールとして利用することができる。最後に、このテスト構成は、テスト回路要素に関連した余分なインピーダンスが最小限に抑えられるので、チップの動作タイミングにほとんど影響がない。

【0021】本発明の他の目的、特徴および利点については、添付の図面および下記の詳細な説明から明らかになるであろう。

【0022】

【発明の実施の形態】図1には、双方向性パッドの入力／出力テストの実施を可能にするように設計された、集積回路のコンポーネント、すなわちチップが示されている。チップ100には、機能的に双方向性の入力／出力

(I/O)パッド(以下、双方向性パッドと称す)110A~110C、111A~111Cと、コア論理部101とが含まれている。これらの双方向性パッド110A~110C、111A~111Cは、チップ100外から受信した信号をコア論理部101のコンポーネントによって処理可能であり、コア論理部101によって発生した信号をチップ100から送り出すことができるので、機能的に双方向性である。双方向性パッド110A~110C、111A~111Cは、双方向性パッド110Aおよび111Aのように対をなすように構成されている。図1には、全部で3つの双方向性パッド対が示されているが、チップ100は図1に示した構成に制限されるわけではなく、追加の双方向性パッドを取り付けることもできる。双方向性パッドを対にする構成は任意であり、隣接する双方向性パッドを対とすることは、この構成の単なる一例でしかない。最後に、双方向性パッド以外のパッド(すなわち、電力パッドおよび接地パッド等)をテストすることはできない。

【0023】双方向性パッド110A~110Cは、それぞれ信号経路104~106を介して接続部112A~112Cに接続されている。プリント回路基板に取り付けられるチップの場合、接続部112A~112Cは、例えばピンとされる。また、双方向性パッド111A~111Cは、それぞれ信号経路107~109を介して接続部113A~113Cに接続されている。さらに、双方向性パッド110A~110C、111A~111Cは、それぞれ信号経路121を介してデジタルテスト論理部(以下、テスト論理部と称す)120に接続されている。テスト論理部120は、コア論理部101に結合されている。

【0024】図1には、コア論理部101に共に配置されたテスト論理部120が示されている。テスト論理部120は、チップ100の周辺における双方向性パッド110A~110Cおよび111A~111Cにすぐ隣接した領域に、全体または一部を取り付けることも可能である。

【0025】通常の動作の場合、双方向性パッド110A~110Cおよび111Aおよび111Cは、双方向モードで動作可能である。すなわち、双方向性パッド110A~110Cおよび111A~111Cは、コア論理部101の機能に従って、入力パッドと出力パッドとの両方として接続可能である。通常モードによる動作の場合、テスト論理部120は双方向性パッドから切り離すことが可能であるため、チップ100の動作に対して影響を及ぼすことはほとんどない。

【0026】チップテスターにプログラミングを施すことによって決定することが可能なテストモードにおいて、例えば、双方向性パッド110Aに入力される信号が、双方向性パッド111Aの接続性をテストするテスト信号の一部として利用される。集積回路デバイスのテ

ストに利用するためのチップテスターおよび技術は周知であり、本明細書では解説しない。本実施形態における接続部112Aから入力され、信号経路104を介して双方向性パッド110Aに送られる信号は、双方向性パッド111Aのテスト論理部120に送られ、接続部113Aから読み出され得る。同様に、接続部113Aの信号は、双方向性パッド110Aのテストに有効である。こうしてオンチップ回路をあまり追加せずに、各双方向性パッドの入力接続部と出力接続部の両方の接続性についてテストすることが可能になる。

【0027】図2は、チップ100に搭載された入力／出力テストシステムの主要なコンポーネントを示すブロック構成図である。この入力／出力テストシステムは、信号経路104、107および接続部112A、113Aをそれぞれ備えた双方向性パッド110A、111Aを有している。信号経路121を介してコア論理部101に結合された制御モジュール140が、双方向性パッド110Aを入力パッドまたは出力パッドとして構成する働きをする。同様に、制御モジュール150は、双方向性パッド111Aを入力パッドまたは出力パッドとして構成する働きをする。

【0028】セレクトモジュール160は、コア論理部101からの出力信号O1および隣接する双方向性パッド111Aからの信号S2を受信する。セレクトモジュール160は、信号S2を反転して反転信号S2'を発生し、反転信号S2'または出力信号O1のいずれかを双方向性パッド110Aに供給する働きをする。反転信号S2'が双方向性パッド110Aに供給される場合、反転信号S2'は信号経路104で読み出される。

【0029】セレクトモジュール170は、セレクトモジュール160と同様に、反転出力S1'または出力信号O2を信号経路107に送り出す働きをする。

【0030】図2にも示されているように、信号S2、S1は、それぞれ入力信号I2、I1としてコア論理部101に供給することが可能である。

【0031】図3は、個々のコンポーネントをより詳細に示す入力／出力テストシステムの論理回路図である。図3では、双方向性パッド110A、111Aが対として構成されている。例えば、プリント回路基板に取り付けられるとき、各双方向性パッド110A、111Aは、それぞれ信号経路104および接続部112Aと、信号経路107および接続部113Aとを介して、DRAM（図示せず）のようなオフチップコンポーネントに接続され得る。したがって、信号経路104は双方向性パッド110Aへの／からの信号S1を伝送し、信号経路107は双方向性パッド111Aへの／からの信号S2を伝送する。なお、双方向性パッド110Aには、出力ドライバ205および受信器206が含まれる。

【0032】双方向性パッド110Aには、テスト論理部120のコンポーネントが結合されている。すなわ

ち、ORゲート200、ANDゲート202およびインバータ201が、双方向性パッド110Aの出力ドライバ205に結合されている。また、出力ドライバ205には、マルチプレクサ（MUX）204も結合されている。MUX204は、出力信号O1、第1のテスト信号すなわちEVENテスト信号（図中、EVENと示されている）208、およびインバータ203の出力を受信する。受信器206は、コア論理部101に入力信号I1を供給する。

10 【0033】ORゲート200は、出力許可信号OE1およびEVENテスト信号208を受信する。インバータ201は、第2のテスト信号すなわちODDテスト信号（図中、ODDと示されている）209を受信する。ANDゲート202は、インバータ201の出力およびORゲート200の出力を受信する。

【0034】双方向性パッド111Aには、出力ドライバ215および受信器216が含まれている。また、双方向性パッド111Aに関連したテスト論理部120には、ORゲート210、インバータ211およびANDゲート212が含まれている。また、デジタルテスト論理回路120には、インバータ213およびMUX214も含まれている。図3に示すように、インバータ213は、双方向性パッド110Aの受信器206から信号S1を受信する。受信器206からの信号S1は、インバータ213によって反転され（S1'）、MUX214に供給される。また、MUX214には、出力信号O2およびODDテスト信号209も供給される。MUX214の出力は、出力ドライバ215に供給される。信号経路107によって双方向性パッド111Aに入力される信号（例えば、信号S2）は、受信器216を通過して、入力信号I2としてコア論理部101に供給される。受信器216からの信号S2は、インバータ203の入力にも供給され、そこで反転されて（S2'）、MUX204に供給される。

【0035】ORゲート210は、出力許可信号OE2およびODDテスト信号209を受信する。ORゲート210の出力は、ANDゲート212の入力に供給される。EVENテスト信号208は、インバータ211に供給され、そこで反転されて（208'）、ANDゲート212に供給される。次に、ANDゲート212の出力は、出力ドライバ215に供給される。

【0036】ある実施形態では、チップ100上の全てのI/Oパッドが、機能的に双方向性パッドである。チップ100は、少なくとも3つのモード、すなわち通常モード、ODDモードおよびEVENモードで動作可能である。通常動作の一例では、双方向性パッド110Aに、コア論理部101に対する入力信号I1（S1）が接続部112Aから送り込まれ、出力信号O1（S1）が接続部112Aに送られ、出力許可信号OE1によって出力信号O1（S1）を接続部112Aに接続するか

否かの制御が行われる、「ODD」双方向性パッドである。双方向性パッド111Aは、コア論理部101に対する入力信号12(S2)が接続部113Aから送り込まれ、出力信号02(S2)が接続部113Aに送られ、出力許可信号OE2によって出力信号02(S2)を接続部113Aに接続するか否かの制御が行われる、「EVEN」双方向性パッドに相当する。通常モードで動作する場合、出力許可信号OE1は、セットされると、双方向性パッド110Aが出力パッドの働きをしていることを表示し、出力許可信号OE2は、セットされると、双方向性パッド111Aが、出力パッドの働きをしていることを表示する。すなわち、通常モードの場合、出力信号01、02は、それぞれの出力許可信号OE1、OE2がセットされると、信号S1、S2を駆動する。例えば、出力許可信号OE1がセットされると、ORゲート200の出力が1(“H”)になり、ANDゲート202の出力が1(“H”)になり、出力ドライバ205には、信号経路104を介してMUX204から接続部112Aに出力信号01(S1)を供給するように、バイアスが加えられる。したがって、出力許可信号OE1によって、双方向性パッド110Aにおける信号の方向(出力または入力)が決定される。同様に、出力許可信号OE2によって、双方向性パッド111Aにおける信号の方向(出力または入力)が決定される。

【0037】次に、図3を参照して、テストモードの動作について説明を行う。上述のように、双方向性パッドの接続性をテストするには、2つのテストモードが利用可能である。EVENモードの場合、EVENテスト信号208は1(“H”)であり、全てのEVEN双方向性パッドが入力パッドの働きをする。また、全てのODD双方向性パッドは出力パッドの働きをする。このとき、EVEN双方向性パッドにおける入力信号の値は、反転され、ODD双方向性パッドに出力される。

【0038】ODDモードの場合、ODDテスト信号209は1(“H”)であり、全てのODD双方向性パッドが入力パッドの働きをする。また、全てのEVEN双方向性パッドは出力パッドの働きをする。このとき、ODD双方向性パッドにおける入力信号の値は、反転され、EVEN双方向性パッドに出力される。図3に示すように、双方向性パッド110AはODDパッドであり、双方向性パッド111AはEVENパッドである。

【0039】EVENモードの場合、双方向性パッド110Aは出力パッドの働きをし、双方向性パッド111Aは入力パッドの働きをする。出力許可信号OE1は“L”すなわち0であり、EVENテスト信号208は“H”すなわち1である。このとき、ORゲート200に出力許可信号OE1およびEVENテスト信号208が入力されると、ORゲート200から1すなわち“H”の出力が生じることになる。また、インバータ201において、ODDテスト信号は“L”すなわち0で

ある。インバータ201は、ODDテスト信号209を1すなわち“H”に反転する。ANDゲート202に対する入力は、反転されたODDテスト信号209(“H”)、およびORゲート200からの“H”の出力信号である。したがって、ANDゲート202の出力は“H”すなわち1になる。ANDゲート202の出力は出力ドライバ205に送られ、双方向性パッド110Aは出力パッドの働きをすることになる。

【0040】ORゲート210は、2つの入力、すなわち“L”すなわち0の出力許可信号OE2、および“L”すなわち0のODDテスト信号209を受信する。したがって、ORゲート210の出力は“L”すなわち0になる。EVENテスト信号208(“H”すなわち1)は、インバータ211によって反転され、ANDゲート212に送られる。ANDゲート212は、ORゲート210およびインバータ211から“L”すなわち0の入力を受信し、“L”すなわち0の信号を出力ドライバ215に出力する。出力ドライバ215は起動されず、双方向性パッド111Aは入力パッドとして構成される。

【0041】EVENモードの場合、MUX204は、テスト信号を双方向性パッド110Aに送る働きをする。すなわち、MUX204は、“L”すなわち0の入力信号01および反転信号S2'を受信する。反転信号S2'は、双方向性パッド111Aに対する入力では信号S1として入力され、インバータ203によって反転される。反転信号S2'はMUX204に送られ、MUX204の出力は出力ドライバ205に結合される。双方向性パッド110Aは出力パッドとして構成されているので、反転信号S2'は接続部112Aにおいて読み取られる。

【0042】ODDモードの場合、双方向性パッド111Aは出力パッドの働きをする。すなわち、出力許可信号OE2およびODDテスト信号209が、ORゲート210に入力される。出力許可信号OE2は“L”すなわち0であり、ODDテスト信号209は“H”すなわち1である。したがって、ORゲート210の出力は“H”すなわち1になる。また、EVENテスト信号208は“L”すなわち0であり、インバータ211によって反転される。ANDゲート212は、ORゲート210の“H”の出力、および反転された(“H”すなわち1の)EVENテスト信号208'を受信する。したがって、ANDゲート212の出力は“H”すなわち1になる。次に、出力ドライバ215はANDゲート212の出力を受信する。このように、双方向性パッド111Aは出力パッドとして構成される。

【0043】双方向性パッド110Aに戻ると、出力許可信号OE1およびEVENテスト信号208は両方とも“L”であり、したがって、ORゲート200の出力は“L”すなわち0になる。ODDテスト信号209は

11

インバータ201によって反転され、ANDゲート202の出力は“L”になる。次に、ANDゲートからの“L”または0の出力信号は、出力ドライバ205に送られる。このように、双方向性パッド110Aは入力パッドとして構成される。

【0044】ODDモードの場合、MUX214はテスト信号をパッド11Aに送る働きをする。すなわち、MUX214は、“L”であり反転信号S1'である出力許可信号OE2を受信する。反転信号S1'は、双方向性パッド110Aに対する入力では信号S1として入力され、インバータ213によって反転される。反転信号S1'はMUX214に送られ、MUX214の出力は出力ドライバ215に結合される。双方向性パッド111Aは出力パッドとして構成されているので、反転信号S1'は接続部113Aにおいて読み取られる。

【0045】図4は、図3に示す入力/出力テストシステムの動作を示すフローチャートである。図4において、プロセスはステップS300から開始される。まず、ステップS305では、この入力/出力テストシステムを動作させる。次に、ステップ310では、チップ100の入力パッドおよび出力パッドがパッド対として指定される。なお、隣接パッドがパッド対として指定されるのが望ましい。図3に示す例の場合、双方向性パッド110A、111Aがパッド対として指定されている。次に、ステップ320では、信号S2が双方向性パッド111Aの入力（信号経路107）に供給される。次に、信号S2は、（入力信号I2として）コア論理部101およびインバータ203に経路指定される。

【0046】次に、ステップS330では、信号S2がインバータ203によって反転され、反転信号S2'となる。次に、ステップS340では、反転信号S2'は双方向性パッド110Aの出力ドライバ205に入力される。出力ドライバ205は、ANDゲート202によるバイアス加えられて出力信号、すなわち反転信号S2'を出力して、信号経路104に送る。次に、ステップS350では、反転信号S2'が信号経路104において読み取られる。最後に、プロセスはステップS360に移って終了する。

【0047】上述のプロセスでは、信号S2がパッド対の一方のパッドに供給された場合の、1つのパッド対のテストについて説明した。しかし、チップ100上の全てのパッド対を同時にテストすることも可能である。さらに、全てのパッド対を両方向においてテストすることも可能である。すなわち、テストを完全なものにするため、双方向性パッド110Aの入力に信号S1を加え、双方向性パッド111Aの信号経路107から反転信号S1'を読み出すことが可能である。また、この二方向のパッド対のテストは、全てのパッド対に同時に実施することが可能である。

【0048】他の実施形態として、1つ以上のパッドを

12

入力専用または出力専用のパッドとしても良い。例えば、双方向性パッド110Aを、双方向性ではなく、機能的に入力パッド専用として構成し、双方向性パッド111Aを、機能的に双方向性パッドのままとする。すなわち、通常動作の場合、接続部112Aにおける信号S1は入力専用である。双方向性パッド110Aは、例えば、キーボードからの入力を受信するために用いる場合、機能的に入力パッドとして構成することができる。

【0049】1つ以上のパッドを機能的に入力専用または出力専用のパッドとして設計する場合、回路をさらに単純化できる。例えば、双方向性パッド110Aが機能的に入力パッド専用として利用される場合、出力許可信号OE1は必ず0になる。また、EVENテスト信号208は“H”または“L”になる。したがって、ORゲート200を省略できる。ここで双方向性パッド110Aは、機能的に入力パッド専用であるため出力信号O1はなく、MUX204に出力信号を選択させる必要がない。したがって、MUX204を省略でき、双方向性パッド111Aからの信号S2は、インバータ203に送られてそこで反転される。反転信号S2'は出力ドライバ205に送られる。ANDゲート202の出力が

“H”であれば、出力ドライバ205は反転信号S2'を出力する。テストがEVENモードの場合、ANDゲートの出力は“H”になる。すなわち、EVENテスト信号208が“H”で、ODDテスト信号209は“L”になる。ODDテスト信号209はインバータ201によって反転される。また、EVENテスト信号208および反転ODDテスト信号209'が両方とも“H”のため、ANDゲートの出力は“H”すなわち1になる。

【0050】また、別の実施形態では、双方向性パッド110Aを出力専用のパッドとして構成し、双方向性パッド111Aは機能的に双方向性パッドのままとしても良い。したがって、通常動作の場合、信号S1は出力専用である。この構成は、パッド110Aが、例えば発光ダイオード(LED)に接続されている場合に用いることができる。

【0051】該実施形態の場合、出力許可信号OE1は必ず“H”すなわち1になる。したがって、ORゲート200を省略できる。また、ANDゲート202は必ず入力としてOE1信号（必ず、1）および反転ODDテスト信号209'を受信するので、ANDゲート202も省くことができる。反転ODDテスト信号209'は、出力ドライバ205に直接送られる。したがって、パッド110Aは、EVENテストモードの場合には出力パッドになり、ODDテストモードの場合には入力パッドになる。また、MUX204は、インバータ203を介して双方向性パッド111Aから反転信号S2'を送り出すか、通常の出力信号O1を送り出す働きをする。なお、インバータ213に対する接続点より後の、入力信号I1用の入力信号ラインの部分、を省略するこ

とができる。

【0052】図5および図6には、それぞれ、パッドが機能的に入力パッドおよび出力パッドとして構成される場合の、適用可能なテスト論理および機能コンポーネントの構成が示されている。図5では、双方向性パッド111Aは図3に示すものと同じである。パッド対の第2のパッドであるパッド110Dは、機能的に入力パッド専用として構成されている。パッド110Dには出力ドライバ225および受信器226が含まれており、信号経路105を介してオフチップコンポーネントに結合されている。また、パッド110Dは、インバータ223を介して双方向性パッド111Aに接続されている。なお、パッド110Dのテスト論理部には、図示しないANDゲート(222)およびインバータ(221)が含まれていても良い。

【0053】図5に示すパッド対のテスト時には、EVENテスト信号208は“H”にセットされ、ODDテスト信号209は“L”にセットされる。ANDゲートからの出力は“H”になり、出力ドライバは反転信号S2'を接続部112Bに送るように構成される。

【0054】図6では、双方向性パッド111Aは図3に示すものと同じである。パッド対の第2のパッドであるパッド110Eは、出力パッド専用として構成されている。パッド110Eには出力ドライバ235および受信器236が含まれており、信号経路106を介してオフチップコンポーネントに結合されている。また、パッド110Eのテスト論理部には、ODDテスト信号209を受信するインバータ231、双方向性パッド111Aから信号S2を受信するインバータ233、およびMUX234が含まれている。MUX234は、反転信号S2'および出力信号O1を受信する。EVENモードの場合、MUX234は、反転信号S2'を出力ドライバ235および信号経路106に送るように選択する。すなわち、ODDテスト信号209は“L”すなわち0であり、インバータ231によって反転される。したがって、出力ドライバ235は、反転信号S2'を信号経路106に送るように構成される。

【0055】以上説明した実施形態によれば、上述のテスト構成によって、チップ上の全てのI/Oパッドの入力側および出力側を容易かつ迅速にテストすることができる。このテストは、プリント回路基板(PCB)の製作中の任意の段階において実施可能である。例えば、チップにパターン形成を施した後、チップをウェーハから切断してパッケージングを施した後、またはPCBにチップを実装した後の段階において、パッドの接続性をテストすることができる。さらに、例えば、障害分析において動作中にPCBに障害が生じた場合に、パッドの接続性をテストすることもできる。

【0056】接続性をテストする必要がある論理コンポーネントは、パッドの近くに配置することができた

め、通常、バウンダリスキャンテストに関係した長いトレースラインおよびクロスチップ接続は省略される。さらに、テストアーキテクチャは、例えばIEEE規格1149.1(JTAG)によるバウンダリスキャンテストに必要とされるものより、はるかに単純である。したがって、テストアーキテクチャの単純化によって生じるチップに対する追加負荷、つまり回路タイミングに対する影響は取るに足らないものである。さらに、上述のテストアーキテクチャによって、チップ上における全パッドの入力側および出力側の両方のテストが可能になる。この特徴は、とりわけ、チップの製造およびPCBのアセンブリ中に、欠陥のあるコンポーネントを検出するのに重要である。

【0057】本発明の以上の説明は、例証および解説を目的として提示された。本発明を余すことなく説明しようとか、あるいは、開示の形態そのままに制限しようとするものではなく、上述の教示に鑑みて、他の修正および変更も可能である。この実施態様は、また、本発明の原理およびその実際の応用例を最も明確に説明し、他の当該技術者が、企図する特定の用途に適合する、さまざまな実施態様およびさまざまな修正態様において本発明を最も有効に利用できるようにするために、選択され、解説されている。

【0058】以下に本発明の実施の形態を説明する。

1. チップのパッドの接続性をテストする接続性テストシステムであって、パッド対として指定されている複数のパッドと、第1の入力および第1の出力を有するパッド対の第1のパッドに関連した第1のテスト論理部と、第2の入力および第2の出力を有するパッド対の第2のパッドに関連した第2のテスト論理部と、を備え、前記第1の入力が前記第2の出力に結合され、前記第2の入力が前記第1の出力に結合される接続性テストシステム。

【0059】2. 複数のパッドのそれぞれが双方向性パッドである上記1に記載の接続性テストシステム。

【0060】3. 複数のパッドのうちから選択されるパッドが入力パッドおよび出力パッドのいずれか一方である上記1に記載の接続性テストシステム。

【0061】4. 複数のパッドがODDモードおよびEVENモードでテストされ、前記第1のパッドがODDパッドと指定され、前記第2のパッドがEVENパッドと指定される上記1に記載の接続性テストシステム。

【0062】5. 複数のパッドの各パッドが出力ドライバと受信器とを有し、パッドに入力されるテスト信号が前記受信器によって受信され、該パッドから出力されるテスト信号が前記出力ドライバを介して送り出される上記4に記載の接続性テストシステム。

【0063】6. 前記出力ドライバの状態が出力許可信号とEVENおよびODDテスト信号との比較によって制御され、前記ODDパッドの出力ドライバは前記EVEN

ENモードによるテスト時に出力状態に切り替えられ、前記EVENパッドの出力ドライバは前記ODDモードによるテスト時に出力状態に切り替えられる上記5に記載の接続性テストシステム。

【0064】7. 半導体素子のテスト装置であって、第1のデジタル論理部と、前記第1のデジタル論理部に結合された第1のパッドと、第2のデジタル論理部と、前記第2のデジタル論理部に結合された第2のパッドと、を備え、前記第1のパッドが、該第1のパッドから信号を送り出す働きをする第1の出力ドライバと、該第1のパッドで信号を受信する働きをする第1の受信器と、を有し、前記第2のパッドが、該第2のパッドから信号を送り出す働きをする第2の出力ドライバと、該第2のパッドで信号を受信する働きをする第2の受信器と、を有し、前記第2の受信器が前記第1の出力ドライバに結合され、前記第1の受信器が前記第2の出力ドライバに結合されるテスト装置。

【0065】8. 前記第1のパッドおよび前記第2のパッドは機能的に双方向性のパッドである上記7に記載のテスト装置。

【0066】9. 前記第1のテスト論理部が、第1のORゲートと、前記第1のORゲートおよび前記第1の出力ドライバに結合された第1のANDゲートと、を備え、前記第1のORゲートが動作許可信号およびEVENテスト信号のいずれか一方を受信し、該EVENテスト信号によって、前記第1のANDゲートが、前記第1のパッドからの出力信号として前記第2のパッドから受信した入力信号を送り出すように、前記第1の出力ドライバを構成する上記8に記載のテスト装置。

【0067】10. 前記第1のテスト論理部が、さらに、第1のインバータと、前記第1のインバータおよび前記第1の出力ドライバに結合されたマルチプレクサと、を有し、前記第1のインバータは前記入力信号を反転し、前記マルチプレクサは反転入力信号および出力信号のいずれか一方を前記第1の出力ドライバに送るように選択し、前記マルチプレクサは、EVENテストモードによる前記第1のパッドのテスト時に前記反転入力信号を選択する上記9に記載のテスト装置。

【0068】11. 前記第2のテスト論理部が、第2のORゲートと、前記第2のORゲートおよび前記第2の出力ドライバに結合された第2のANDゲートと、を備え、前記第2のORゲートが動作許可信号およびODDテスト信号のいずれか一方を受信し、該ODDテスト信号によって、前記第2のANDゲートが、前記第2のパッドからの出力信号として前記第1のパッドから受信した入力信号を送り出すように、前記第2の出力ドライバを構成する上記8に記載のテスト装置。

【0069】12. 前記第2のテスト論理部が、さらに、第2のインバータと、前記第2のインバータおよび前記第2の出力ドライバに結合されたマルチプレクサ

と、を有し、前記第2のインバータは前記入力信号を反転し、前記マルチプレクサは反転入力信号および出力信号のいずれか一方を前記第2の出力ドライバに送るように選択し、前記マルチプレクサは、ODDテストモードによる前記第1のパッドのテスト時に前記反転入力信号を選択する上記11に記載のテスト装置。

【0070】13. 前記第1のパッドが機能的に出力パッドであり、前記第2のパッドが機能的に双方向性パッドである上記7に記載のテスト装置。

10 【0071】14. 前記第1のテスト論理部がODDテスト信号を受信するインバータを有し、EVENテストモードにある時、前記インバータは、前記ODDテスト信号を反転して、前記第1の出力ドライバが、前記第1のパッドからの出力信号として前記第2のパッドから受信した入力信号を送り出すように構成される上記13に記載のテスト装置。

【0072】15. 前記第1のパッドが機能的に入力パッドであり、前記第2のパッドが機能的に双方向性パッドである上記7に記載のテスト装置。

20 【0073】16. 前記第1のテスト論理部が、インバータと、前記インバータに結合されたANDゲートと、を有し、前記ANDゲートが反転ODDテスト信号およびEVENテスト信号を受信し、前記ANDゲートが、EVENテストモードによるテスト時に、“H”の出力を送り出し、該“H”の出力によって、前記第1の出力ドライバが、前記第1のパッドからの出力信号として前記第2のパッドから受信した入力信号を送り出す上記15に記載のテスト装置。

30 【0074】17. チップのパッドの入力および出力接続性をテストする接続性テスト方法であって、2つのパッドのパッド対を指定するステップと、第1の入力信号を前記パッド対の第1のパッドに供給するステップと、前記第1の入力信号を反転して、第1の反転信号を発生するステップと、前記パッド対の第2のパッドで前記第1の反転信号を受信するステップと、前記第2のパッドの出力信号として前記第1の反転信号を読み取るステップと、を有する接続性テスト方法。

40 【0075】18. 前記第1の入力信号を供給するステップが、前記パッド対をEVENテストモードに切り替えるステップと、第1のテスト信号および第2のテスト信号を前記第2のパッドに入力するステップと、を有し、前記第1のテスト信号および第2のテスト信号によって、前記第2のパッドが出力パッドとして構成される上記17に記載の接続性テスト方法。

【0076】19. 前記第2のパッドの出力信号と前記第1の入力信号とを比較するステップを有する上記17に記載の接続性テスト方法。

50 【0077】20. 前記第1の入力信号を反転するステップがインバータによって行われる上記17に記載の接続性テスト方法。

【0078】21. 前記第1の反転信号がマルチプレクサによって処理され、前記マルチプレクサが前記第1の反転信号および出力信号のいずれか一方を前記第2のパッドに送るように選択する上記17に記載の接続性テスト方法。

【0079】22. 前記第2のパッドが、前記第1の反転信号および前記出力信号のいずれか一方を受信して、該受信信号を出力信号として送り出す出力ドライバを有する上記21に記載の接続性テスト方法。

【0080】23. 前記第1の入力信号が前記第1のパッドが有する受信器で受信される上記17に記載の接続性テスト方法。

【0081】24. 前記チップは複数の指定されたパッド対を備え、当該接続性テスト方法が前記複数の指定されたパッド対の全てについて同時に完了する上記17に記載の接続性テスト方法。

【0082】25. 前記パッド対をODDテストモードに切り替えるステップと、前記第1のパッドに対して、該第1のパッドを出力パッドとして構成する前記第1のテスト信号および前記第2のテスト信号を供給するステップと、前記第2のパッドに対して第2の入力信号を供給するステップと前記第2の入力信号を反転して、第2の反転信号を発生するステップと、前記第1のパッドにおいて前記第2の反転信号を受信するステップと、前記第1のパッドの出力信号として前記第2の反転信号を読み取るステップと、前記第1のパッドの出力信号と前記第2の入力信号とを比較するステップと、を有する上記17に記載の接続性テスト方法。

【0083】26. 前記チップは複数の指定されたパッド対を備え、当該接続性テスト方法が前記複数の指定されたパッド対の全てについて同時に完了する上記25に記載の接続性テスト方法。

【0084】27. 前記第1のパッドおよび前記第2のパッドが機能的に双方向性パッドである上記17に記載の接続性テスト方法。

【0085】28. 前記第1のパッドが第1のデジタル論理部を有し、該第1のデジタル論理部が、前記第1のパッドを出力パッドおよび入力パッドのいずれか一方として構成するように、前記第1のテスト信号および前記第2のテスト信号に処理を施し、前記第2のパッドが第2のデジタル論理部を有し、該第2のデジタル論理部が、前記第2のパッドを入力パッドおよび出力パッドのいずれか一方として構成するように、前記第1のテスト信号および前記第2のテスト信号に処理を施す上記17に記載の接続性テスト方法。

【0086】29. 前記第1のパッドが機能的に入力パッドおよび機能的に出力パッドのいずれか一方であり、前記第2のパッドが機能的に双方向性パッドである上記17に記載の接続性テスト方法。

【0087】

【発明の効果】以上説明したように、本発明によれば、集積回路のコンポーネントまたはチップにおける双方向性パッドの入力および出力の接続性を容易かつ迅速にテストするための技術を提供することができる。また、プリント回路基板の製作中の任意の段階においてテストを実施することができる。このため、チップの製造およびプリント回路基板の組立中に、欠陥のあるコンポーネントを検出することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る集積回路のコンポーネントまたはチップを示すブロック構成図である。

【図2】入力／出力テストシステムの主要なコンポーネントを示すブロック構成図である。

【図3】入力／出力テストシステムの論理回路図である。

【図4】図3の入力／出力テストシステムの動作を示すフローチャートである。

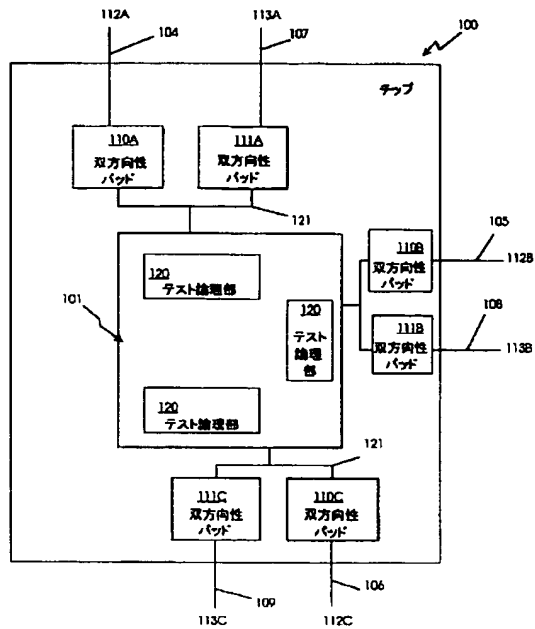
【図5】パッドが機能的に入力パッドとして構成された、本発明の他の実施形態に係るテストシステムを示す論理回路図である。

【図6】パッドが機能的に出力パッドとして構成された、本発明の別の実施形態に係るテストシステムを示す論理回路図である。

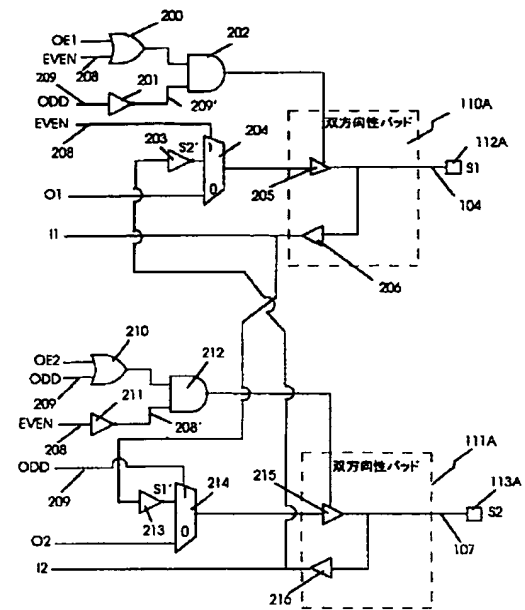
【符号の説明】

100 チップ
101 コア論理部
104～109, 121 信号経路
110A～110C, 111A～111C 双方向性パッド
112A～112C, 113A～113C 接続部
120 テスト論理部
140, 150 制御モジュール
160, 170 セレクタモジュール
200, 210 ORゲート
201, 203, 211, 213, 221, 231, 233 インバータ
202, 212 ANDゲート
204, 214, 234 マルチプレクサ (MUX)
205, 215, 225, 235 出力ドライバ
206, 216, 226, 236 受信器

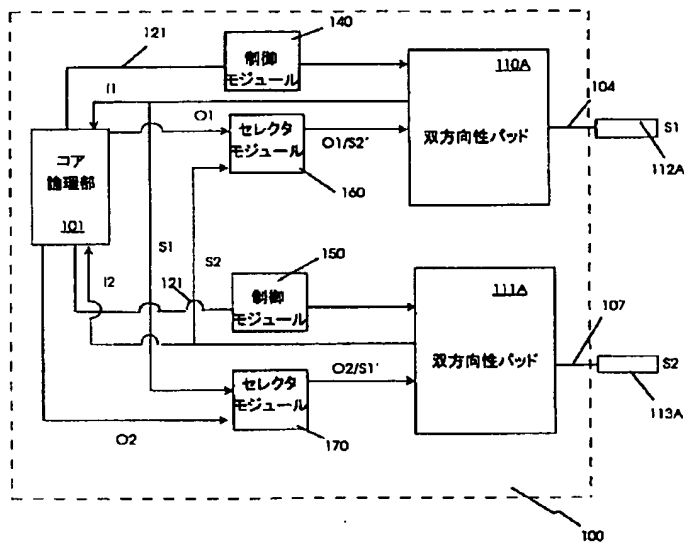
【図1】



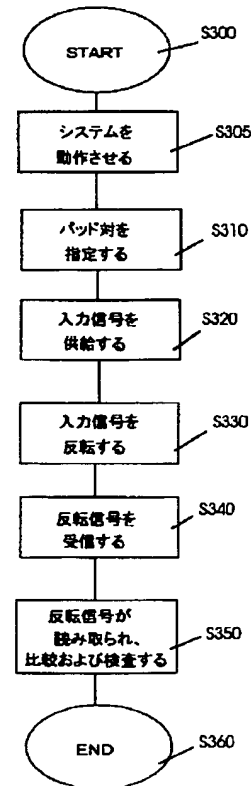
【図3】



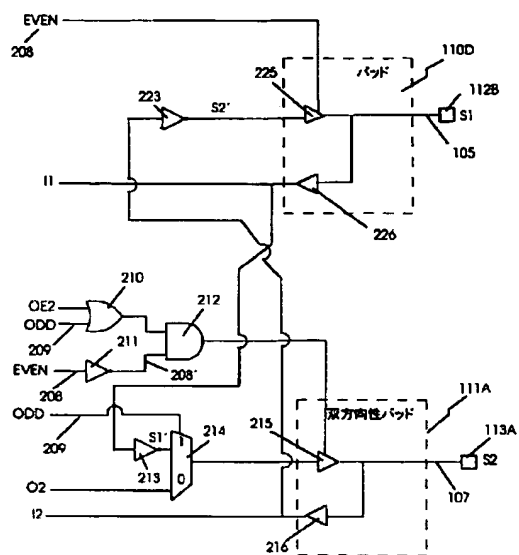
【図2】



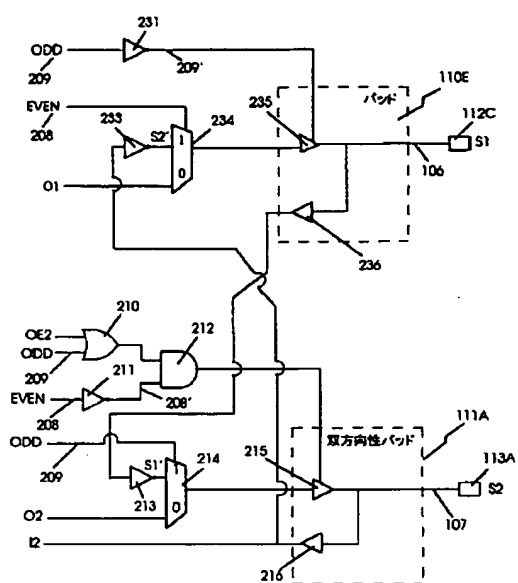
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 リチャード・オーティス
アメリカ合衆国 カリフォルニア州、ロー
ズビル、プロビデンス・ウェイ 1291

(72)発明者 チェンミン・ザン
アメリカ合衆国 コロラド州、フォート・
コリンズ、ライブ・オーク・コート 1213